

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-314806

(43)Date of publication of application : 29.11.1996

(51)Int.Cl.

G06F 12/16

(21)Application number : 07-142487

(71)Applicant : MELCO:KK

(22)Date of filing : 17.05.1995

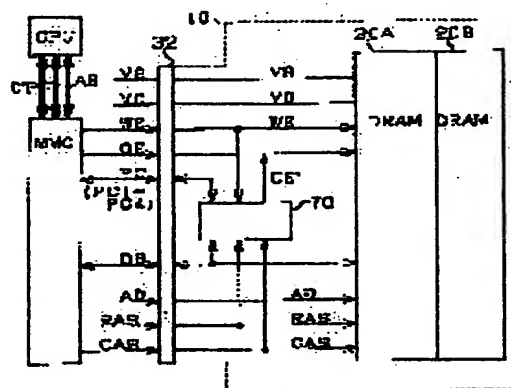
(72)Inventor : SONOBE TAKAIKU

(54) MODULE FOR CONNECTING MEMORY MODULE

(57)Abstract:

PURPOSE: To provide a module for connecting the memory module, which does not store data for error detection, to a computer that requests the storage of data for error detection.

CONSTITUTION: When performing write on the computer side, signals PC1-PC4 of parity checks for each signal of 8 bits of data to be outputted to a data bus DB are applied to a module controller 70. The module controller 70 ignores this parity. When performing read on the computer side, the module controller 70 generates parity data corresponding to data read out of SIMM 20A and 20B and outputs these parity data as the signals PC1-PC4 of parity checks corresponding to the output of data.



LEGAL STATUS

[Date of request for examination] 24.04.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3022255

[Date of registration] 14.01.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3022255号

(P3022255)

(45) 発行日 平成12年3月15日 (2000. 3. 15)

(24) 登録日 平成12年1月14日 (2000. 1. 14)

(51) Int.Cl.⁷

G 0 6 F 12/16

識別記号

3 2 0

F I

G 0 6 F 12/16

3 2 0 A

請求項の数 2 (全 14 頁)

(21) 出願番号 特願平7-142487

(22) 出願日 平成7年5月17日 (1995. 5. 17)

(65) 公開番号 特開平8-314806

(43) 公開日 平成8年11月29日 (1996. 11. 29)

審査請求日 平成8年4月24日 (1996. 4. 24)

(73) 特許権者 390040187

株式会社メルコ

愛知県名古屋市中区大須4丁目11番50号

(72) 発明者 関部 貴郁

名古屋市南区柴田本通4丁目15番株式会社

社 メルコ ハイテクセンター内

(74) 代理人 100095795

弁理士 田下 明人 (外1名)

審査官 金田 利規

(56) 参考文献 特開 平6-12337 (J P, A)

特開 平8-179995 (J P, A)

(58) 調査した分野 (Int.Cl.⁷, DB名)

G06F 12/16 320

G06F 11/10

(54) 【発明の名称】 メモリモジュール接続用モジュール

1

(57) 【特許請求の範囲】

【請求項1】 コンピュータ内部のプロセッサからデータを読み書きするために必要な信号線が設置されたメモリ接続用コネクタに接続するための専用基板端子と、上記専用基板端子を備えるメモリモジュールを従属接続するための拡張コネクタと、

前記プロセッサからの要求に応じて、前記メモリ接続用コネクタを介して入力されるデータを前記拡張コネクタへ接続されたメモリモジュールに記憶すると共に記憶したデータを読み出すデータ制御手段と、

前記プロセッサから与えられたアドレス信号をデコードして、前記拡張コネクタへセレクト信号を出力するデコードと、

前記メモリ接続用コネクタを介して前記データ制御手段に記憶したデータの出力要求があったとき、該データ制

2

御手段から読み出されるデータから誤り検出用データを生成し、前記メモリ接続用コネクタを介して出力する誤りデータ生成手段と、を備えたことを特徴とするメモリモジュール接続用モジュール。

【請求項2】 コンピュータ内部のプロセッサからデータを読み書きするために必要な信号線が設置されたメモリ接続用コネクタに接続するための専用基板端子と、上記専用基板端子を備えるメモリモジュールを従属接続するための拡張コネクタと、

10 前記プロセッサからの要求に応じて、前記メモリ接続用コネクタを介して入力されるデータを前記拡張コネクタへ接続されたメモリモジュールに記憶すると共に記憶したデータを読み出すデータ制御手段と、

前記メモリ接続用コネクタを介して入力されるデータと該データの誤り検出用データとから該誤り検出用データ

の仕様を判断する仕様判断手段と、
前記メモリ接続用コネクタを介して前記データ制御手段に記憶したデータの出力要求があったとき、該データ制御手段から読み出されるデータ及び前記仕様判断手段の判断した仕様に応じて誤り検出用データを生成し、前記メモリ接続用コネクタを介して出力する誤りデータ生成手段と、を備えたことを特徴とするメモリモジュール接続用モジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンピュータ、特にパーソナルコンピュータのメモリ容量を増大させるためのメモリモジュールを接続するためのメモリモジュール接続用モジュールに関し、特に、パリティチェック用のデータを記憶するメモリモジュールを装着するタイプのコンピュータに対して、パリティチェック用のデータを記憶しないメモリモジュールを装着し得るようにするメモリモジュール接続用モジュールに関する。

【0002】

【従来の技術】メモリ容量を増大させ処理能力を増強させるために、パーソナルコンピュータ等は、メモリモジュール（RAMボード）を追加できるように構成されている。このメモリモジュールには、所謂 S I M M (SINGLE INLINE MEMORY MODULE) と内部増設 RAM ボードとが広く用いられており、一般的にコンピュータ側には S I M M 用の複数のコネクタと内部増設 RAM ボード用の単一のコネクタとが備えられている。ここで、S I M M 用の複数のコネクタに S I M M を装填して行くことによりコンピュータのメモリ容量を順次増大させることができる。

【0003】他方、コンピュータに用いられるメモリ、特に読み出し・書き込み自在な半導体メモリでは、書き込んだデータの信頼性を確保するために、パリティやチェックサムなどの各種仕様に則して生成された誤り検出用データを付加する構成がとられているものがある。

【0004】パリティを例にとると、プロセッサ（以下、CPU という）とメモリとを接続するデータバスに、そのデータを取り込んでパリティを生成するパリティジェネレータを設ける。このパリティジェネレータは、通常 8 ビットのデータに対して 1 ビットのパリティデータを生成する。メモリは 9 ビット構成になっており、8 ビットのデータの書き込みがなされる場合、9 ビット目にはパリティジェネレータが生成したパリティデータが書き込まれる。パリティジェネレータにより生成されるパリティデータには、偶数パリティと奇数パリティの 2 つの仕様がある。偶数パリティの仕様の場合にパリティジェネレータから生成されるパリティデータは、8 ビットのデータとパリティビットとの合計 9 ビットに含まれる値 1 のビット数が必ず偶数となるように制御される。逆に、奇数パリティの仕様の場合には、9 ビット

に含まれる値 1 のビット数が必ず奇数となるようにパリティデータが決定されるため、上述した偶数パリティのパリティデータを反転させたデータが生成されることになる。そして、データを読み出す際に、9 ビットのデータのパリティをチェックし、パリティが書込時に定めた偶数の仕様を満足しない場合にはパリティエラーとして何らかの対応をとる（通常はエラーの発生を知らせる割込みを起こす）ことで、データ送受信の誤りを検出する。

【0005】なお、データバスの幅が大きい場合には、8 ビット毎にパリティデータを付けることになり、例えばバス幅が 16 ビット、32 ビット、64 ビットの場合には、パリティビットを加えるべきデータは、8 ビットを単位としてそれぞれ 2 個、4 個、8 個となり、パリティビットを加えたデータは、それぞれ 18 ビット、36 ビット、72 ビットとなる。

【0006】他方、誤り検出用データはコンピュータの性格、使用目的などに大きく左右されるものであり必須のものではない。ここで、誤り検出用データを用いる場合には、メモリモジュールに誤り検出用データを記憶するために記憶領域（上述のパリティデータの場合にはデータ 8 ビット毎に 1 ビット）が必要となる。このため、メモリモジュールを小型化、また、コストを低減する際の問題点となる。しかも、最近では半導体メモリの信頼性が向上し、パリティエラーの可能性をほとんど考慮する必要がない製品も存在する。この理由から、拡張用コネクタに接続されたメモリモジュールに対して誤り検出データの授受を要求しないようにしてメモリのコストの削減を図っているものもある。即ち、メモリモジュールに誤り検出データを設けるか否かは、メモリの内容の信頼性の確保を重視するか、コストを重視するかによって決まり、コンピュータの性格、使用目的などによって選択される事項である。

【0007】

【発明が解決しようとする課題】このため、コンピュータにおいては、誤り検出用データを記憶するメモリモジュールを接続し得るものと、誤り検出用データを記憶しないメモリモジュールを接続し得るものとの 2 種類が存在している。従って、誤り検出用データを記憶しないメモリモジュールを接続するタイプのコンピュータを使用していたユーザが、コンピュータを高級機種に買い換えた際に、新たに購入したコンピュータが、誤り検出用データを記憶するメモリモジュールを仕様上で要求している場合には、従来使用していたメモリモジュールが使えなくなり、新たな経済的負担を余儀なくされていた。

【0008】また、誤り検出用データの生成には各種仕様が用いられており、例えば、パリティを用いる仕様であっても上述したように偶数パリティと奇数パリティとの 2 種の仕様に細分化されている。

【0009】本発明は、上述した課題を解決するために

なされたものであり、本発明の目的は、誤り検出用データを記憶しないメモリモジュールを、誤り検出用データの記憶を要求しているコンピュータに接続し得るメモリモジュールを提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成するため、本発明のメモリモジュール接続用モジュールは、コンピュータ内部のプロセッサからデータを読み書きするために必要な信号線が設置されたメモリ接続用コネクタに接続するための専用基板端子と、上記専用基板端子を備えるメモリモジュールを従属接続するための拡張コネクタと、前記プロセッサからの要求に応じて、前記メモリ接続用コネクタを介して入力されるデータを前記拡張コネクタへ接続されたメモリモジュールに記憶すると共に記憶したデータを読み出すデータ制御手段と、前記メモリ接続用コネクタを介して前記データ制御手段に記憶したデータの出力要求があったとき、該データ制御手段から読み出されるデータから誤り検出用データを生成し、前記メモリ接続用コネクタを介して出力する誤りデータ生成手段と、を備えたことを要旨とする。

【0011】また、上記の目的を達成するため、本発明のメモリモジュール接続用モジュールは、コンピュータ内部のプロセッサからデータを読み書きするために必要な信号線が設置されたメモリ接続用コネクタに接続するための専用基板端子と、上記専用基板端子を備えるメモリモジュールを従属接続するための拡張コネクタと、前記プロセッサからの要求に応じて、前記メモリ接続用コネクタを介して入力されるデータを前記拡張コネクタへ接続されたメモリモジュールに記憶すると共に記憶したデータを読み出すデータ制御手段と、前記メモリ接続用コネクタを介して入力されるデータと該データの誤り検出用データとから該誤り検出用データの仕様を判断する仕様判断手段と、前記メモリ接続用コネクタを介して前記データ制御手段に記憶したデータの出力要求があったとき、該データ制御手段から読み出されるデータ及び前記仕様判断手段の判断した仕様に応じて誤り検出用データを生成し、前記メモリ接続用コネクタを介して出力する誤りデータ生成手段と、を備えたことを要旨とする。

【0012】

【作用】請求項1のメモリモジュール接続用モジュールによれば、プロセッサからのデータが入力される時、データ制御手段が、拡張コネクタへ接続されたメモリモジュールに記憶する。そして、プロセッサからデータの出力要求があったとき、データ制御手段が、拡張コネクタへ接続されたメモリモジュールからのデータを読み出し、誤りデータ生成手段がデータ制御手段の読み出したデータから誤り検出用データを生成して出力する。

【0013】請求項2のメモリモジュール接続用モジュールによれば、プロセッサからのデータが入力されるとき、データ制御手段が、拡張コネクタへ接続されたメモ

リモジュールに記憶する。そして、仕様判断手段により入力されるデータとそのデータに付随している誤り検出用データとから誤り検出用データの仕様が判断される。そして、プロセッサからデータの出力要求があったとき、データ制御手段が、拡張コネクタへ接続されたメモリモジュールからのデータを読み出し、誤りデータ生成手段が、データ制御手段から読み出されたデータ及び仕様判断手段の判断した仕様に応じて誤り検出用データを生成して出力する。

【0014】

【実施例】以下、本発明のメモリモジュール接続用モジュールをS I M M用に適用した実施例を図を参照して説明する。まず、本発明の第1実施例の機械的構成について図1及び図2を参照して説明する。図1(A)は、第1実施例に係るメモリモジュール接続用モジュール10の正面を、図2は該メモリモジュール接続用モジュール20の背面を示している。メモリモジュール接続用モジュール10は、基板18の上下にコンピュータ側のマザーボード30のコネクタ32に接続するための72ピンS I M M用の基板端子16A、16Bが形成されている。該基板18の表面18αには、一対の72ピンのS I M M用を嵌入するための拡張コネクタ12A、12Bが設けられている。また、図2に示すように該基板18の裏面18βには、ゲートアレー40と、ディップスイッチ50とセレクト用I C 60とが取り付けられている。

【0015】図1(B)は、本実施例のS I M M20を示している。このS I M M20は、8Mバイト分のD R A Mを構成する複数のI C 24が配置される共に、その下端に72ピンS I M M用の基板端子26が形成されて成る。図1(A)に示すようにマザーボード30は水平に配置され、メモリモジュール接続用モジュール10は、マザーボード30のコネクタ32に対して垂直に嵌入される。他方、S I M M20は、マザーボード30と水平方向に、メモリモジュール接続用モジュール10の拡張コネクタ12A、12Bへ嵌入される。なお、上述したようにメモリモジュール接続用モジュール10の基板端子16A、16BとS I M M20の基板端子26とは同じ72ピンS I M M用の仕様が用いられ、また、マザーボード30のコネクタ32とメモリモジュール接続用モジュール10の拡張コネクタ12Aとは同じく72ピンS I M M用の仕様が用いられている。

【0016】ここで、第1実施例のメモリモジュール接続用モジュール10の接続方法について説明する。コンピュータ側にコネクタ32に図1(B)に示す8MバイトのS I M M20を装着していた使用者が、メモリ容量の増強を望む場合に、このS I M M20を外して、コンピュータ側のコネクタ32にメモリモジュール接続用モジュール10を装填する。そして、該メモリモジュール接続用モジュール10の拡張コネクタ12Aに該S I M

M20を嵌入する。更に、該S IMM20と同容量(8Mバイト)のS IMM(図示せず)を拡張コネクタ12Bに嵌入し、図2に示すディップスイッチ50にS IMM容量が8Mバイトであることを設定することにより、付加されるメモリ容量を16Mバイトへと倍増する。

【0017】ここで、後述するようにメモリモジュール接続用モジュール10では、コンピュータ側からのアドレス信号をゲートアレー40がデコードし、このデコードした信号をセレクトIC60が選択して拡張コネクタ12Aに装填されたS IMM20と拡張コネクタ12Bに装填されたS IMMとに送出することにより、両方のS IMMへの読み書きが可能となる。

【0018】なお、この第1実施例では、上記メモリモジュール接続用モジュール10の拡張コネクタ12A、12Bに装填するメモリモジュールの容量として2M、4M、8M、16Mを指定し、また、両S IMMのメモリ容量が等しいことを仕様上で要求している。そして、この2M、4M、8M、16Mの容量をディップスイッチ50に設定し得るようになっている。

【0019】ここで、第1実施例のメモリモジュール接続用モジュール10をコンピュータ側のコネクタ32へ嵌入する方向について説明する。図3(A)及び図3

(B)に示すように第1実施例のメモリモジュール接続用モジュール10は、基板端子16A側をコンピュータ側のコネクタ32へ嵌入することも、また、上下反転させて、該コネクタ32へ基板端子16Bを嵌入することも可能である。ここで、該メモリモジュール接続用モジュール10の拡張コネクタ12A、12BにS IMM20、20を水平に装填する際に、該S IMM20、20がコンピュータ側の筐体(図示せず)等の部材と干渉する場合は生じる。例えば、図3(A)に示すようにメモリモジュール接続用モジュール10の左側に筐体(図示せず)が位置している場合には、該コネクタ32へ基板端子16B側を嵌入することにより、拡張コネクタ12A、12Bを右側に来るようにして、S IMM20、20がコンピュータの筐体と干渉するのを避ける。反対に、図3(B)に示すようにメモリモジュール接続用モジュール10の右側に筐体(図示せず)が位置している場合には、該コネクタ32へ基板端子16A側を嵌入することにより、拡張コネクタ12A、12Bを左側に来るようにして、S IMM20、20とコンピュータの筐体との干渉を避ける。

【0020】次に、コンピュータ側のメモリ管理方法について図6を参照して説明する。このコンピュータは、最大32Mバイトまでメモリ管理を行うことができ、32Mバイトを第1バンクBANK1と第2バンクBANK2として16Mバイトつづに2分割して管理を行う。ここで、4Mバイトのメモリ容量は、図6(A)に示すように1Mつづの4つのブロックから成る第1バンクBANK1から構成され、メモリアドレスMA0~9によ

りアドレス指定されるとともに、RAS0及びRAS2で行アドレスが指定される。また、8Mバイトのメモリ容量は、図6(B)に示すように4Mバイトの2バンク(BANK1、BANK2)から構成され、メモリアドレスMA0~9により指定されるとともに、RAS0及びRAS2で第1バンクBANK1の行アドレスが、また、RAS1及びRAS3で第2バンクBANK2の行アドレスが指定される。更に、16Mバイトは、図6(C)に示すように4Mつづの4つのブロックから成る第1バンクBANK1から構成され、メモリアドレスMA0~10により指定されるとともに、RAS0及びRAS2で行アドレスが指定される。また、32Mバイトのメモリ容量は、図6(D)に示すように16Mバイトの2バンク(BANK1、BANK2)から構成され、メモリアドレスMA0~10により指定されるとともに、RAS0及びRAS2で第1バンクBANK1の行アドレスが、また、RAS1及びRAS3で第2バンクBANK2の行アドレスが指定される。

【0021】以上説明した第1実施例では、マザーボード30側に装着されたメモリモジュール接続用モジュール10に同容量のS IMMを2枚装着することによりコンピュータの容量を簡単に増大できる利点がある。

【0022】ここで、第1実施例のメモリモジュール接続用モジュール10に1対のS IMMに対してRAS、CAS信号を振り分けれるための回路構成について図4を参照して説明する。なお、この図4においては、図示の便宜上アドレス信号のラインのみを示し、データのリード、ライト及びその他の信号用ラインは省略されている点に注意されたい。

【0023】このメモリモジュール接続用モジュール10は、図3(A)に示したようにマザーボード30のコネクタ32と接続されコンピュータ側との信号のやり取りを行う基板端子16と、後述するようにアドレス信号をデコードするためのゲートアレー(以下デコーダ40として参照する)40と、S IMM20、20が嵌入される拡張コネクタ12A、12Bと、該拡張コネクタ12A、12Bに接続されたS IMM20、20のメモリ容量を設定するディップスイッチ50と、該ディップスイッチ50からの信号に基づきデコーダ40からのデコード信号を選択するセレクト用IC(以下セレクト60として参照する)60とから主に構成される。このデコーダ40は、ゲートアレーに保持された制御情報であるが、ここでは便宜上独立した回路として図示及び説明を行う。

【0024】基板端子16からは、メモリアドレスMA0~MA9のバスラインが拡張コネクタ12A、12Bに平行に接続され、また、メモリアドレスMA9、MA10のラインと、RAS1、RAS3のラインと、RAS0、RAS2のラインと、CAS0~CAS3のバスラインとがデコーダ40に接続されている。一

方、デコーダ 4 0 からは、R A S A のラインと R A S B のラインとがセレクト 6 0 へ接続されている。更に、デコーダ 4 0 からは、C A S 0 A ~ C A S 3 A のバスラインが拡張コネクタ 1 2 A 側へ接続され、C A S 0 B ~ C A S 3 B のバスラインが拡張コネクタ 1 2 B 側へ接続されている。セレクト 6 0 からは、メモリアドレス M A 1 0 / 9 のラインがデコーダ 4 0 へ接続されている。また、セレクト 6 0 からは、R A S 0 のラインと R A S 1 のラインとが拡張コネクタ 1 2 A 側へ接続され、同時に、R A S 0 ' のラインと R A S 1 ' のラインとが拡張コネクタ 1 2 B 側へ接続されている。更に、ディップスイッチ 5 0 から設定信号が S 1 ~ S 4 のラインを介してセレクト 6 0 へ入力されている。

【0025】次に、第 1 実施例のメモリモジュール接続用モジュール 1 0 のディップスイッチ 5 0 の構成について図 4 を参照して説明する。ディップスイッチ 5 0 には、4 つのスイッチ S W 1、S W 2、S W 3、S W 4 が設けられ、2 M の S I M M が拡張コネクタ 1 2 A、1 2 B に接続される時には、スイッチ S W 1 がオンにされ、4 M の S I M M が接続される時にはスイッチ S W 2 がオンに、8 M の S I M M が接続される時にはスイッチ S W 3 がオンに、1 6 M の S I M M が接続される時にはスイッチ S W 4 がオンにされる。そして、この設定されたスイッチ S W 1 ~ S W 4 に応じて、設定信号を S 1 ~ S 4 のラインを介してセレクト 6 0 へ出力する。

【0026】次に、メモリモジュール接続用モジュール 1 0 のデコーダ 4 0 の動作について説明する。まず、デコーダ 4 0 の動作原理について説明する。例えば、一对の 8 M の S I M M 2 0 (併せて 1 6 M バイト分) が、該メモリモジュール接続用モジュール 1 0 に装填された状態では、コンピュータは、図 6 (C) に示すように R A S 0、R A S 2 側でメモリの管理を行う。即ち、どの S I M M にメモリが存在しているかを意識することなく、1 6 M バイト分をメモリアドレス M A 0 から M A 1 0 によってアドレス指定する。このとき、デコーダ 4 0 は、メモリアドレス M A の最上位のビットである M A 1 0 に基づき、いずれか一方の S I M M を選択して読み書きを可能にする。即ち、コンピュータ側からのアドレスの最上位 M A 1 0 の C o l u m n が "0" のときは、0 ~ 4 M、8 ~ 1 2 M バイトまでのメモリのアドレスを指定しているため拡張コネクタ 1 2 A に接続されている S I M M 2 0 側を選択し、他方、アドレスの最上位 M A 1 0 の C o l u m n が "1" のときは、4 ~ 8 M、1 2 M ~ 1 6 M バイトのメモリのアドレスを指定しているため拡張コネクタ 1 2 B に接続されている S I M M 2 0 側を選択する。このとき図 4 を参照して前述したようにメモリアドレス M A 0 ~ M A 9 は、拡張コネクタ 1 2 A、1 2 B へパラレルで加えられているため、デコーダ 4 0 により選択された方の拡張コネクタ 1 2 A 側、或いは、拡張コネクタ 1 2 B 側の S I M M 2 0 が読み書きされるこ

とになる。

【0027】なお、4 M の S I M M が 2 枚装填されている場合には、図 6 (B) に示すようにコンピュータは、4 M を R A S 0、R A S 2 により、残りの 4 M を R A S 1、R A S 3 によって管理する。このため、第 1 実施例のメモリモジュール接続用モジュール 1 0 では、後述するようにデコーダ 4 0 によってデコードされたアドレス信号を用いることなく、セレクト 6 0 が R A S 0、R A S 2 信号を拡張コネクタ 1 2 A 側の S I M M へ与え、また、R A S 1、R A S 3 信号を拡張コネクタ 1 2 B 側の S I M M へ R A S 0、R A S 2 信号として加える。

【0028】このデコーダ 4 0 の具体的動作について図 5 の論理回路に沿ってさらに詳しく説明する。このデコーダ 4 0 は、図の上半分が D R A M への R A S 信号を変換するための回路である。これは、セレクト 6 0 から選択されて送られるメモリアドレス M A 9 (2 M の S I M M が装填された場合)、または、メモリアドレス M A 1 0 (2 M 以上の S I M M が装填された場合) をアドレス用に保持するためのラッチ 4 2 a、該メモリアドレス M A 9 又は M A 1 0 に基づき R A S 0 を R A S A 又は R A S B に振り分けるためのゲート 4 4 a、4 4 b、4 6 a、4 6 b と、C A S 0 信号により R A S A、R A S B からリフレッシュ信号を送出させるためのラッチ 4 2 b とから成る。

【0029】他方、デコーダ 4 0 は図の下半分が D R A M への C A S 信号を変換するための回路である。これは、セレクト 6 0 から選択されて送られるメモリアドレス M A 9、または、メモリアドレス M A 1 0 をアドレス用に保持するためのラッチ 4 2 c、該メモリアドレス M A 9 又は M A 1 0 に基づき C A S 0 ~ 3 を C A S 0 A ~ C A S 又は C A S 0 B ~ C A S 3 B に振り分けるためのゲート 4 4 c、4 4 d、4 6 c、4 6 d と、C A S 0 信号により C A S 0 A ~ C A S 及び C A S 0 B ~ C A S 3 B からリフレッシュ信号を送出させるためのラッチ 4 2 d とから成る。

【0030】先ず、メモリモジュール接続用モジュール 1 0 の拡張コネクタ 1 2 A、1 2 B にそれぞれ 8 M バイトの S I M M 2 0、2 0 が装着された場合の動作について説明する。図 6 (C) に示すメモリマップのように、後述するデコーダ 4 0 の動作により、コンピュータ側は、メモリモジュール接続用モジュール 1 0 に接続された 2 枚の 8 M の S I M M 2 0、2 0 を併せた 1 6 M バイトを、第 1 バンク B A K N 1 の R A S 0、R A S 2 側に存在しているものとして認識し、この R A S 0、R A S 2 側に対して読み書きの動作を行う。図 4 に示すセレクト 6 0 は、ディップスイッチ 5 0 からの設定信号 S 3 に基づき、8 M の S I M M が装填されている状態におけるセレクト動作を行い、最上位のメモリアドレス M A 1 0 を図 4 及び図 5 に示す M A 1 0 / 9 のラインを介してデコーダ 4 0 側に送出する。デコーダ 4 0 は、最上位のメ

11

モリアドレスMA10をデコードすることにより、拡張コネクタ12Aに接続されたSIMMと、拡張コネクタ12Bに接続されたSIMMとを選択して読み書きさせる。

【0031】まず、コンピュータが、0～4Mバイトのメモリに対して読み書きを行うアドレス信号を送出した際のデコーダ40の動作について説明する。ここで、0～4Mバイトのメモリが指定されるときメモリアドレスMA10のROWはロウの状態にあり、ラッチ42aのQ端子に接続されているゲート44aが付勢状態となり、ゲート46a側が出力可能になる。このため、コンピュータからのRAS0(RAS2)信号は、該ゲート46aを介してRASA信号としてセクタ60側へ出力される。他方、メモリアドレスMA10のColumnはロウの状態にあるため、ラッチ42cのQ端子に接続されたゲート44cが付勢状態となり、ゲート46c側が出力可能になっている。従って、コンピュータ側からのCAS0～3信号は、該ゲート46cを介してCAS0A～3Aとして拡張コネクタ12A側へ出力される(図4参照)。

【0032】図4に示すセクタ60は、ディップスイッチ50からの設定信号S3に基づき、8MのSIMMが一对装填されている状態におけるセレクト動作を行う。即ち、上述したRASA信号を、RAS0(RAS2)信号として拡張コネクタ12Aに接続されているSIMM20に加える(なお、この信号は同時に拡張コネクタ12BにもRAS0'(RAS2')信号として加えられる)。また、CAS0A～3A信号は、上述したようにデコーダ40から直接拡張コネクタ12Aに加えられる。これらRAS0(RAS2)及びCAS0～3

【0033】次に、コンピュータが、4～8Mバイトのメモリに対して読み書きを行うアドレス信号を送出した際のデコーダ40の動作について説明する。ここで、4～8Mバイトのメモリが指定されるときも0～4Mバイトのときと同様に、メモリアドレスMA10のROWはロウの状態にあり、ゲート46a側が出力可能になる。このため、コンピュータからのRAS0(RAS2)信号は、該ゲート46aを介してRASA信号としてセクタ60側へ出力される。他方、メモリアドレスMA10のColumnはハイの状態になるため、ラッチ42cのQ端子と接続されたゲート44dが付勢状態となり、ゲート46d側が出力可能になっている。従って、コンピュータ側からのCAS0～3信号は、ゲート46dを介してCAS0B～3Bとして拡張コネクタ12B側へ出力される。

【0034】セクタ60は、上述したRASB信号を、RAS0'(RAS2')信号として拡張コネクタ

12

12Bに接続されているSIMM20に加える(なお、この信号は同時に拡張コネクタ12AにもRAS0(RAS2)信号として加えられる)。また、CAS0B～3B信号は、上述したようにデコーダ40から直接拡張コネクタ12Bに加えられる。これらRAS0(RAS2)及びCAS0～3信号によりアドレスが指定され、拡張コネクタ12Bに装着されたSIMM20のメモリに対して読み書きがなされる。

【0035】次に、コンピュータが、8～12Mバイトのメモリに対して読み書きを行うアドレス信号を送出した際のデコーダ40の動作について説明する。ここで、8～12Mバイトのメモリが指定されるときはメモリアドレスMA10のROWはハイの状態となり、ラッチ42aのQ端子と接続されたゲート44bが付勢状態となり、ゲート46b側が出力可能になっている。このため、コンピュータからのRAS0(RAS2)信号は、ゲート46bを介してRASBとしてセクタ60側へ出力される。他方、メモリアドレスMA10のColumnはロウの状態にあるため、ゲート46c側が出力可能になっている。従って、コンピュータ側からのCAS0～3信号は、該ゲート46cを介してCAS0A～3Aとして拡張コネクタ12A側へ出力される。

【0036】セクタ60は、上述したRASB信号を、RAS1(RAS3)信号として拡張コネクタ12Aに接続されているSIMM20に加える(同時に拡張コネクタ12Bに加える)。また、CAS0A～3A信号は、上述したようにデコーダ40から直接拡張コネクタ12Aに加えられる。これらRAS1(RAS3)及びCAS0～3信号によりアドレスが指定され、拡張コネクタ12Aに装着されたSIMM20のメモリに対して読み書きがなされる。

【0037】最後に、コンピュータが、12～16Mバイトのメモリに対して読み書きを行うアドレス信号を送出した際のデコーダ40の動作について説明する。ここで、12～16Mバイトのメモリが指定されるときはメモリアドレスMA10のROWはハイの状態にあり、ゲート46b側が出力可能になっている。このため、コンピュータからのRAS0(RAS2)信号は、ゲート46bを介してRASBとしてセクタ60側へ出力される。他方、メモリアドレスMA10のColumnはハイの状態にあるため、ゲート46d側が出力可能になっている。従って、コンピュータ側からのCAS0～3信号は、ゲート46dを介してCAS0B～3Bとして拡張コネクタ12B側へ出力される。

【0038】セクタ60は、上述したRASB信号を、RAS0'(RAS2')信号として拡張コネクタ12Bに接続されているSIMM20に加える(同時に拡張コネクタ12Aに加える)。また、CAS0B～3B信号は、上述したようにデコーダ40から直接拡張コネクタ12Bに加えられる。これによりアドレスが指定

され、拡張コネクタ 1 2 B に装着された S I M M 2 0 のメモリに対して読み書きがなされる。

【0039】なお、図 5 に示すラッチ 4 2 b は、RAS 0 (RAS 2) の立ち下がりのとき、CAS 0 がロウレベルであるならば、DRAM のリフレッシュであるため、ゲート 4 4 a、4 4 b を共に付勢し、RAS 0 (RAS 2) 信号を RAS A、RAS B として出力させる。同様に、ラッチ 4 2 d は、CAS 0 の立ち下がりのとき、RAS 0 (RAS 2) がハイレベルであるならば、DRAM のリフレッシュであるため、ゲート 4 4 c、4 4 d を共に付勢し、CAS 0 A ~ CAS 3 A、CAS 0 B ~ CAS 3 B 信号を出力させる。

【0040】次に、メモリモジュール接続用モジュール 1 0 の拡張コネクタ 1 2 A、1 2 B に 4 M バイトの S I M M が装着された場合の動作について説明する。図 6

(B) に示すメモリマップのように、コンピュータ側は、メモリモジュール接続用モジュール 1 0 に接続された 2 枚の 4 M バイトのメモリ容量を第 1 バンク BANK 1 と第 2 バンク BANK 2 とにそれぞれ 4 M バイトづつ存在しているものとして認識し、第 1 バンク RAKN 1 を RAS 0、RAS 2 にて、また、第 2 バンク RAKN 2 を RAS 1、RAS 3 にて読み書きの動作を行う。

【0041】4 M バイトの S I M M を 2 組合わせてもメモリ容量は 8 M バイト以下であるため、メモリアドレス MA 1 0 が常にロウの状態にあり、デコーダ 4 0 では、ゲート 4 6 a 側が出力可能な状態になっている。このためコンピュータからの RAS 0 (RAS 2) 信号は、ゲート 4 6 a を介して RAS A としてセクタ 6 0 側に出力される。図 4 に示すセクタ 6 0 は、該デコーダ 4 0 から加えられた RAS A として入力された信号を RAS 0 (RAS 2) 信号として、拡張コネクタ 1 2 A に接続された S I M M に加える。この RAS 0 (RAS 2) によりアドレスが指定され、拡張コネクタ 1 2 A 側の S I M M に対して読み書きがなされる。

【0042】一方、セクタ 6 0 は、コンピュータ側から加えられた RAS 1 (RAS 3) 信号を RAS 0' (RAS 2') 信号として、拡張コネクタ 1 2 B に接続された S I M M に加える。この RAS 0' (RAS 2') 信号によりアドレスが指定され、拡張コネクタ 1 2 B 側の S I M M に対して読み書きがなされる。即ち、4 M の S I M M を 2 枚組み合わせて 8 M とした際には、デコーダ 4 0 によるデコード信号を実質的に用いることなく、セクタ 6 0 が RAS 1 (RAS 2) 信号を拡張コネクタ 1 2 A 側へ加え、また、RAS 1 (RAS 3) 信号を拡張コネクタ 1 2 B 側へ RAS 0、RAS 2 として加えることによりメモリの読み書きを行う。

【0043】ここでは、2 M の S I M M を 2 枚組み合わせて 4 M とした際には、ディップスイッチ 5 0 からの信号により、セクタ 6 0 からライン MA 1 0 / 9 を介してメモリアドレス MA 9 がデコーダ 4 0 へ送られる。

該デコーダ 4 0 は、上述した 8 M の S I M M が 2 枚拡張コネクタ 1 2 A、1 2 B に装着されたときと同様な動作を行う。また、1 6 M の S I M M を 2 枚組み合わせて 3 2 M とした際も同様にしてデコーダ 4 0 とセクタ 6 0 とが動作する。このため 4 M、3 2 M の時の動作については説明を省略する。

【0044】この第 1 実施例によれば、拡張コネクタ 1 2 A、1 2 B に接続された S I M M 2 0、2 0 に対して RAS 及び CAS 信号を切り換えて送出、即ち、セレクト信号を送出することにより該 S I M M 2 0、2 0 に対して読み書きを行う。このため、コンピュータ側の単一のコネクタ 3 2 に装着されたメモリモジュール接続用モジュール 1 0 に対して、2 枚の S I M M 2 0、2 0 を装填することによりメモリ容量の増大を図ることが可能になる。

【0045】次に、パリティチェックビットを記憶しない S I M M を、パリティチェックビットの記憶を要求するコンピュータに接続する際の第 1 実施例のメモリモジュール接続用モジュール 1 0 の動作について図 7 を参照して説明する。図 7 は、プロセッサ側 (P C 側) からデータを読み書きするために必要な信号線が配設されたコンピュータのメモリ増設用のコネクタ 3 2 と、このメモリ増設用コネクタ 3 2 に接続される本実施例のメモリモジュール接続用モジュール 1 0 の概略構成ブロック図である。コンピュータ側には、メモリコントローラ MMC が設けられており、CPU が DRAM から構成された S I M M をアクセスするのに必要な RAS、CAS の信号などを併せて生成している。CPU は、そのアドレスバス AB や制御信号 CT をメモリコントローラ MMC に接続しており、メモリコントローラ MMC を介してアドレスバス AD にマルチプレックスされたアドレス信号を出力し、メモリ増設用コネクタ 3 2 に接続されたメモリモジュール接続用モジュール 1 0 と、データのやり取りを行う。

【0046】本実施例のメモリモジュール接続用モジュール 1 0 には、拡張コネクタ 1 2 A (図 1 参照) に 4 M の S I M M 2 0 A (BANK 1) が、また、拡張コネクタ 1 2 B (図 1 参照) には 4 M の S I M M 2 0 B (BANK 2) が接続されている。また、メモリモジュール接続用モジュール 1 0 には、これら合計 8 M の S I M M

(DRAM) を制御するため及び後述する疑似パリティチェック信号を生成するために、ゲートアレイ 4 0 (図 2 参照) にて構成されたモジュール・コントローラ 7 0 を搭載している。なお、モジュール・コントローラ 7 0 は、パリティチェック信号の生成等の処理の他、コンピュータ側から後述するアウトプットイネーブル信号 OE が出力されない構成の場合には、CAS 信号が変化する時点で RAS 信号の状態をラッチし、その信号と CAS 信号およびライトイネーブル信号 WE の条件から、疑似アウトプットイネーブル信号 OE' を生成する働きも行

なう。

【0047】メモリ増設用コネクタ32には、メモリモジュール接続用モジュール10に電力を供給するためのVS(0[V])、VD(5[V])の電源ラインはもとより、コンピュータ側のメモリコントローラMMCから、データの読み書きを指示するためのライトイネーブルWE、アウトプットイネーブルOEの信号ライン、送受信するデータの8ビット毎に付加されるパリティチェックPCの信号ライン、32ビットバス幅のデータバスDB、そしてRASおよびCAS信号と共に少なくとも8Mバイトのメモリ空間を指定するデータ幅を有するアドレスバスADが接続されている。なお、メモリ増設用コネクタ32のパリティチェックPCの信号ラインは、4本(=32/8、PC1~PC4)の信号ラインから構成されている。

【0048】公知のように記憶素子としてDRAMを用いる場合、メモリ増設用コネクタ32のアドレスバスADから入力されるマルチプレックスされたアドレス信号とRAS信号、CAS信号により読み書きされるメモリの位置は特定されるから、これらの信号を一定タイミングにてDRAMの所定ポートへ入力することで各DRAMのアドレス指定を行なう必要がある。本実施例では、RAS信号、CAS信号は、コンピュータ側のメモリコントローラMMCにより生成されており、図6を参照して前述したように、それぞれ4種類のRAS信号(RAS0~3)、CAS信号(CAS0~3)が入力され、各DRAMのアドレスの指定に用いられている。すなわち、図6(B)を参照して上述したように拡張コネクタ12Aに接続されているSIMM20Aの4MバイトのBANK1をRAS0、2とCAS0~4にて指定し、拡張コネクタ12Bに接続されている4MバイトのBANK2はRAS1、3とCAS0~4にて指定する。こうしてアドレス入力信号AD、RAS0~3、CAS0~3にて指定された各DRAMの特定アドレスは、ライトイネーブルWE信号がローアクティブであるときには、1ビットのデータを入力するデータ入力ポートDIからデータバスDB上のデータ1ビットを入力し、ライトイネーブルWE信号がハイであるときには1ビットのデータを出力するデータ出力ポートDOから、記憶している1ビットのデータを出力する。

【0049】前述のごとくメモリ増設用コネクタ32には4本のパリティチェックPCの信号ラインが配線されており、コンピュータがメモリモジュール接続用モジュール10にデータを書き込む際には、データバスDB上に現われる32ビット・データの8ビット毎にパリティ信号PC1~PC4を送信する。しかし、本実施例のメモリモジュール接続用モジュール10に装着されているSIMM20A、20Bは、この4ビットのパリティデータを記憶する余分なメモリを有していない。従って、コンピュータ側から送信されるパリティチェックPCの

信号ラインは、モジュール・コントローラ70で利用されるだけであり、SIMM20A、20Bへは伝送されない。

【0050】一方、コンピュータが、メモリモジュール接続用モジュール10に記憶したデータを読み出す際には、各DRAMから出力されデータバスDB上に現われた32ビット・データとそのデータを記憶させる際にメモリモジュール接続用モジュール10に伝送した4ビットのパリティデータとの整合性を検証する。このために本実施例のメモリモジュール接続用モジュール10は、4ビットの疑似パリティチェック信号を生成するために4つの疑似パリティチェック回路71~74をモジュール・コントローラ70内に形成している。以下、この疑似パリティチェック回路71~74について図8を参照し説明する。

【0051】図8は、モジュール・コントローラ70に形成される疑似パリティチェック回路71~74の概念ブロックを示している。図示するようにそれぞれの疑似パリティチェック回路71~74は、BANK1、BANK2を構成する各DRAMから出力されたデータの集合であってデータバスDBに出力される32ビット・データをそれぞれ8ビットづつに4分割して入力し、これに基づいてパリティチェックPCの4信号ラインPC1~PC4に1ビットのデータを出力する回路である。また、本実施例のメモリモジュール接続用モジュール10に装着されたSIMM20A、20Bは、RAS信号に基づいてBANK1、BANK2に2分割されてそれぞれが32ビットのデータを出力していることから、疑似パリティチェック回路71~74はRAS信号に基づいてBANK1、BANK2に時分割して接続される。すなわち、データバスDBに出力されるデータが最大32ビットのデータであるため、このデータに対してコンピュータが必要とする4ビットのパリティデータを作成する最小回路構成となっている。

【0052】次に、図1に示すメモリモジュール接続用モジュール10の動作について、再び図7を参照して説明する。コンピュータ側がコネクタ30に接続されたメモリモジュール接続用モジュール10に対して書き込みを行う際には、アドレスバスADを介してアドレスの指定が行われ、データバスDBに出力されるデータの8ビットの信号毎のパリティチェックの信号PC1~PC4が、モジュール・コントローラ70へ加えられる。該モジュール・コントローラ70はこのパリティを無視する。

【0053】他方、コンピュータ側がコネクタ30に接続されたメモリモジュール接続用モジュール10に対して読み出しを行う際には、モジュール・コントローラ70が、SIMM20A、20Bから読み出されるデータに応じて、パリティデータを生成し、これをデータの出力に合わせて、パリティチェックの信号PC1~PC4

として出力する。読み出されたデータと、パリティチェックの信号PC1～PC4とは、コンピュータ側のパリティコントローラ（図示せず）によりその偶奇性がチェックされる。

【0054】この第1実施例では、メモリモジュール接続用モジュール10が、偶数パリティを用いるコンピュータ用と、奇数パリティを用いるコンピュータ用とに分けられて用意され、偶数パリティを用いるコンピュータ用のメモリモジュール接続用モジュールは、モジュール・コントローラ70にて偶数パリティのパリティチェック信号を生成する。反対に、奇数パリティを用いるコンピュータ用のメモリモジュール接続用モジュールは、モジュール・コントローラにて奇数パリティのパリティチェック信号を生成するよう構成されている。

【0055】次に、本発明の第2実施例について説明する。上述した第1実施例では、メモリモジュール接続用モジュール10が、偶数パリティを用いるコンピュータ用と、奇数パリティを用いるコンピュータ用とに別々に用意されていたが、この第2実施例のメモリモジュール接続用モジュール10では、コンピュータが偶数パリティを用いるか、奇数パリティを用いるかを自動検出し、コンピュータの仕様に応じたパリティチェック信号を生成するように構成されている。

【0056】図9は、第2実施例に係る各疑似パリティチェック回路71～74の具体的な回路構成をブロック図に示している。パリティジェネレータ82は、データバスDBに現われた32ビット・データを4分割した8ビット・データを入力し、そのパリティチェックに応じた出力を端子EN、ONから出力する（以下、出力EN、ONと呼ぶ）。出力ENは、8ビット・データのパリティが偶数ならば「L」、奇数ならば「H」である。逆に出力ONは、8ビット・データのパリティが奇数ならば「L」、偶数ならば「H」となる。この出力ENは、排他的論理和回路84の一入力端子及びトライステート86に入力される。また出力ONは、他方のトライステート88に入力される。なお、このトライステート86、88の出力はパリティチェックPC（PC1～PC4の何れか）の信号ラインに接続されている。

【0057】排他的論理和回路84の他方の入力パリティチェックPC（PC1～PC4の何れか）に接続されているため、コンピュータが奇数パリティ仕様であるとき「H」、偶数パリティ仕様であるとき「L」を出力する。この排他的論理和回路84の出力は、ライトイネーブルWE信号をクロック信号としているDフリップフロップ90のD端子に入力される。すなわちDフリップフロップ90は、メモリモジュール接続用モジュール10にデータ書込みが発生する度にそのパリティチェックの仕様を記憶し、更新し続けるのである。

【0058】こうしてDフリップフロップ90に記憶されたコンピュータのパリティチェック仕様は、コンピュ

ータからデータの読み出し要求、すなわちアウトプットイネーブルOEがローアクティブとなった時に次のように使用される。アウトプットイネーブルOE信号は、2つのNOR回路92、94に入力されている。このNOR回路92、94のそれぞれの他方の入力には、前記Dフリップフロップ90の正出力Q1及び反転出力Q0が接続されている。このためコンピュータが偶数パリティ仕様である場合にはNOR回路92から出力が発生し、奇数パリティ仕様である場合にはNOR回路94から出力が発生する。そして、このNOR回路92、94の出力により前記トライステート86、88のゲートをオープンさせるため、パリティチェックPCの信号ラインにはSIMM20A、20Bから読み出されたデータをコンピュータのパリティチェック仕様に合致してチェックしたデータが出力されることになるのである。

【0059】なお、上述した第1、第2実施例では、メモリモジュール接続用モジュール10に、パリティチェックを記憶し得るSIMMが装着された場合にも、該SIMMのパリティチェックのメモリ容量を用いることなく、モジュール・コントローラ70にて生成した疑似パリティチェックをコンピュータ側に送る構成になっている。しかしながらこの代わりに、メモリモジュール接続用モジュール10に装填されるSIMMの仕様を自動検出、或いは、ディップスイッチ60に設定することにより、装填されるSIMMがパリティチェックを記憶し得る場合には、パリティチェックの信号を該SIMM側に記憶させるように構成することも可能である。

【0060】なお、上述した例では、メモリモジュール接続用モジュール10の拡張コネクタ12A、12Bに4MのSIMMを1対接続する例について説明したが、この代わりに、拡張コネクタ12A側にのみ所望の容量のSIMM（誤り検出用データを記憶しない）を装填し、誤り検出用データの記憶を要求するコンピュータへ接続することができる。この場合には、図2に示すディップスイッチ50を4MのSIMMを接続する際のスルーモードに設定する必要がある。

【0061】なお、上述した実施例では、メモリモジュール接続用モジュール10に一对の拡張コネクタ12A、12Bが設けられていたが、拡張コネクタを一つのみ設けることも可能である。

【0062】以上説明したように第1、第2実施例のメモリモジュール接続用モジュール10によれば、パリティチェックを行なうコンピュータのメモリ増設用コネクタ32にパリティチェックを記憶しないメモリモジュール20A、20Bを接続し得るため、パリティチェックを記憶しないメモリモジュールを有効に活用することができる。また、パリティチェックを記憶しない1対のメモリモジュールを拡張コネクタ12A、12Bへ、或いは、パリティチェックを記憶しないメモリモジュールとパリティチェックを記憶するメモリモジュールと

を、或いは、誤り検出用データを記憶する一対のメモリモジュールを拡張コネクタ 1 2 A、1 2 B へ接続することによりコンピュータのメモリ容量の増大を図ることができる。

【0063】また、第2実施例のメモリモジュール接続用モジュール 1 0 は、コンピュータがメモリモジュール接続用モジュール 1 0 にデータを書き込む際に、そのコンピュータが採用しているパリティチェック仕様を学習している。従って、コンピュータのパリティチェック仕様が偶数パリティあるいは奇数パリティの何れの仕様を採用していようと、同一のメモリモジュール接続用モジュール 1 0 を使用することができる。

【0064】しかも、このようなパリティチェック仕様を学習する疑似パリティチェック回路 7 1 ~ 7 4 は、データバス DB に一度に出力されるパリティデータをカバーする最低の 4 ビットデータを作成する最小回路構成となっており、RAS 信号に基づいて BANK 1、BANK 2 に時分割的に切換使用される。従って、モジュール・コントローラ 7 0 の構成は簡略化され、安価で省スペースの下メモリモジュール接続用モジュール 1 0 を提供

することができる。

【0065】以上本発明の実施例について説明したが、本発明はこうした実施例に何等限定されるものではなく、誤り検出用データとしては、パリティデータのほか、チェックサム、ハッシュコード、サイクリックレダクションコード (CRC) など、公知の種々の仕様について本発明は適応可能である。例えば、コンピュータからのデータ書き込み時にチェックサムなど他の誤り検出用データまでも考慮してその仕様を学習し、コンピュータからのデータ読み出し時にその学習した仕様に応じた誤り検出用データを生成するなど、種々の態様で実施し得る。

【0066】

【発明の効果】以上説明したように本発明のメモリモジュールは、パリティチェックを行なうコンピュータのメモリ増設用コネクタに、パリティチェックを記憶しない*

*メモリモジュールを接続し得るため、パリティチェックを記憶しないメモリモジュールを有効に活用することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例に係るメモリモジュール接続用モジュールの正面図である。

【図 2】図 1 (A) に示すメモリモジュール接続用モジュールの背面図である。

【図 3】図 1 に示すメモリモジュール接続用モジュールのコンピュータ側への接続状態を示す斜視図である。

【図 4】第 1 実施例に係るメモリモジュール接続用モジュールの回路構成を示すブロック図である。

【図 5】図 4 に示すデコーダの回路構成を示す回路図である。

【図 6】本発明の第 1 実施例に係るメモリモジュール接続用モジュールが装着されるコンピュータのメモリの管理方式を示すメモリマップである。

【図 7】第 1 実施例のメモリモジュール接続用モジュールをメモリ増設用コネクタに接続した概略構成ブロック図である。

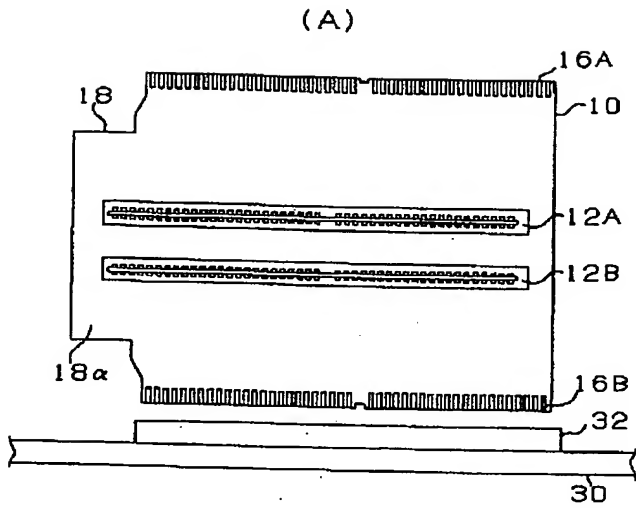
【図 8】図 7 のメモリモジュール接続用モジュールに内蔵される疑似パリティチェック回路の説明図である。

【図 9】第 2 実施例の疑似パリティチェック回路の具体的回路図である。

【符号の説明】

- 1 0 メモリモジュール接続用モジュール
- 1 2 A、1 2 B 拡張コネクタ
- 1 6 A、1 6 B 基板端子
- 2 0、2 0 A、2 0 B SIMM
- 2 6 基板端子
- 3 0 マザーボード
- 3 2 コネクタ
- 4 0 ゲートアレー
- 7 0 モジュール・コントローラ
- 7 1 ~ 7 2 疑似パリティチェック回路

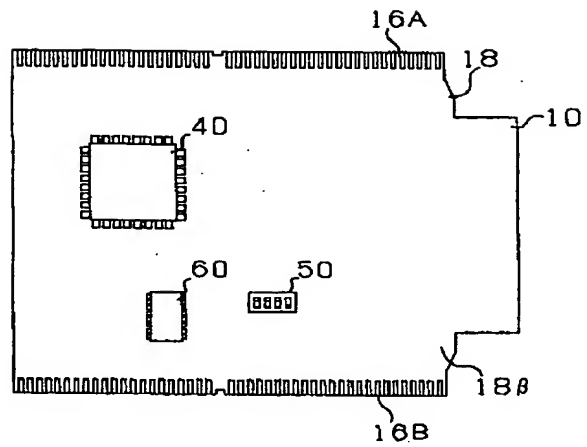
【図1】



(B)

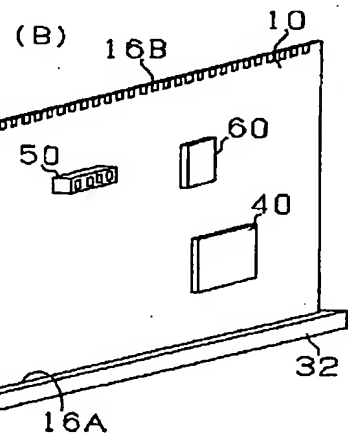
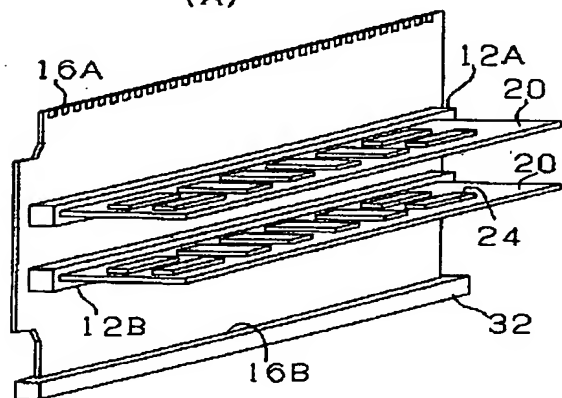


【図2】



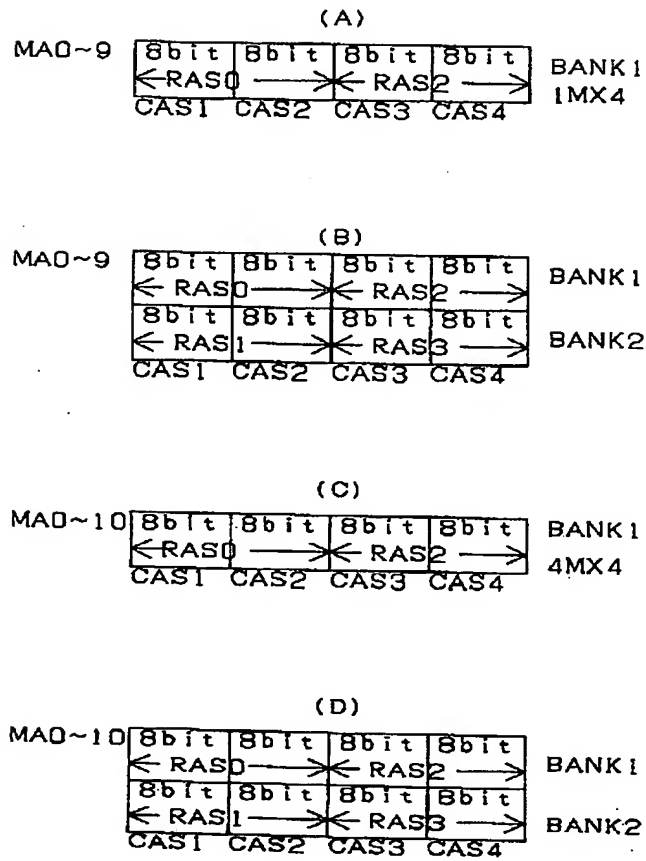
【図3】

(A)

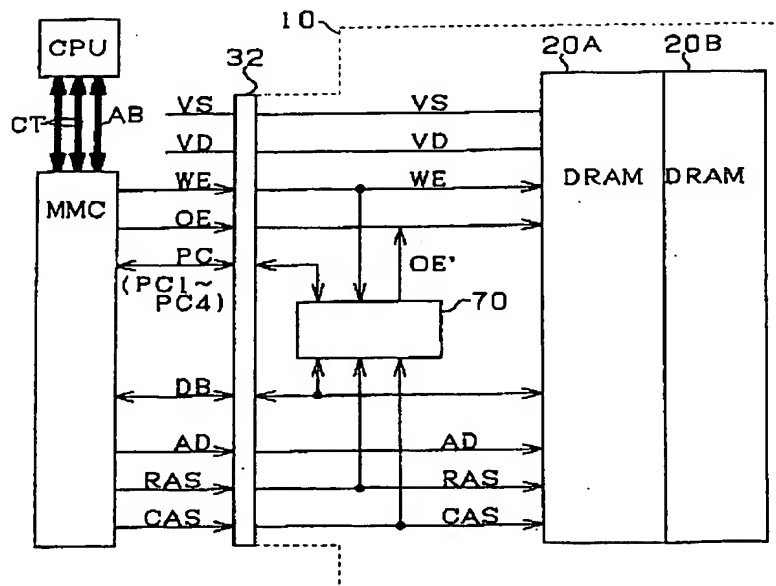


[illegible]

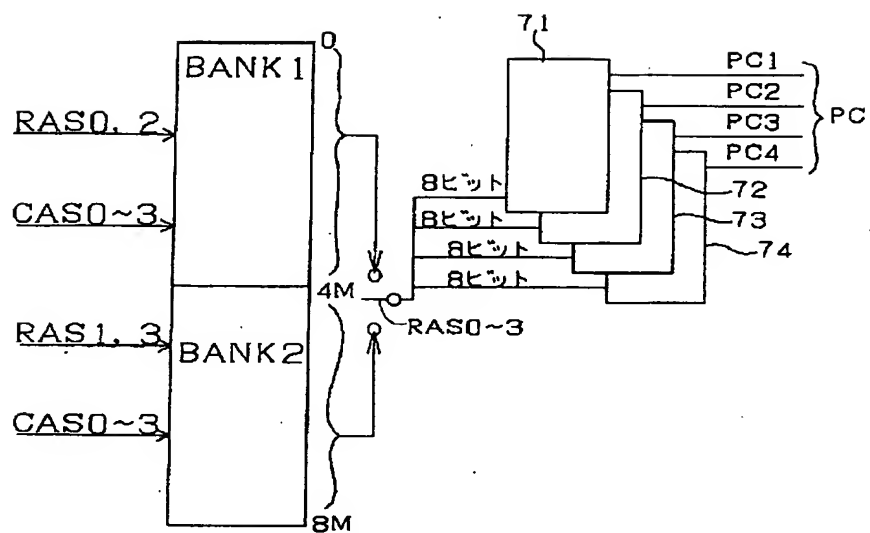
【図6】



【図7】



【図8】



【図9】

